

**MICROELECTRONIC STRUCTURE AND ITS FORMING METHOD****Publication number:** JP10074755 (A)**Also published as:****Publication date:** 1998-03-17

EP0822586 (A2)

**Inventor(s):** JENG SHIN-PUU; TAYLOR KELLY J; CHATTERJEE AMITAVA

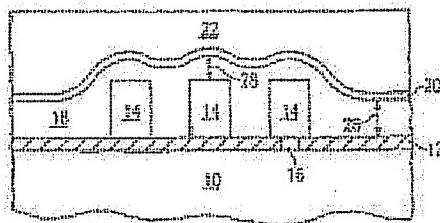
EP0822586 (A3)

**Applicant(s):** TEXAS INSTRUMENTS INC +

TW449898 (B)

**Classification:****- international:** H01L21/312; H01L21/316; H01L21/762; H01L21/768;  
H01L23/522; H01L23/532; H01L21/314; H01L21/02;  
H01L21/70; H01L23/52; (IPC1-7): H01L21/316; H01L21/768**- European:** H01L21/312B; H01L21/312B2B; H01L21/316B2B;  
H01L21/762C6; H01L21/768B; H01L23/532N**Application number:** JP19970204903 19970730**Priority number(s):** US19960023133P 19960730**Abstract of JP 10074755 (A)**

**PROBLEM TO BE SOLVED:** To provide an improved method of depositing HSQ (hydrocinsilsesquioxane) in an integrated circuit structure and a process where a required multilayer interconnection is formed. **SOLUTION:** First, a wiring 14 is patterned on a substrate 10 by etching. Low-k material such as HSQ(Hydrocinsilsesquioxane) is applied onto the substrate 10 by pin coating traversing its surface so as to fill up regions between wirings. A capping layer such as an SiO<sub>2</sub> layer 20 and the like is formed on the top of the applied low-k material layer. Then, the low-k material layer 20 of HSQ is cured by heating. Then, a thin SiO<sub>2</sub> flattening layer 22 is formed for flattening. In another method, an HSQ and SiO<sub>2</sub> process is repeatedly carried out for the formation of a multilayered HSQ.



---

Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-74755

(43)公開日 平成10年(1998)3月17日

(51)Int.Cl.<sup>b</sup>  
H 0 1 L 21/316  
21/768

識別記号 庁内整理番号

F I  
H 0 1 L 21/316  
21/90

技術表示箇所  
G  
S  
Q

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号 特願平9-204903

(22)出願日 平成9年(1997)7月30日

(31)優先権主張番号 023133

(32)優先日 1996年7月30日

(33)優先権主張国 米国(US)

(71)出願人 590000879  
テキサス インスツルメンツ インコーポ  
レイテッド  
アメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500  
(72)発明者 シン - ブー イエング  
アメリカ合衆国テキサス州プラノ、エバー  
グリーン 2508  
(72)発明者 ケリー ジェイ. ティラー  
アメリカ合衆国テキサス州アレン、チャーチ  
ター オーク ストリート 829  
(74)代理人 弁理士 浅村 皓 (外3名)

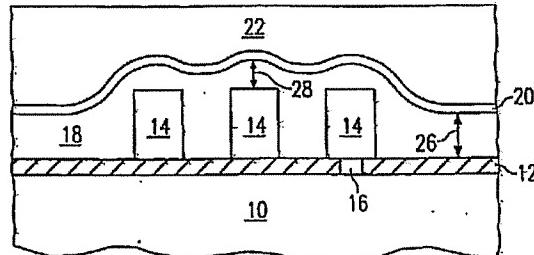
最終頁に統ぐ

(54)【発明の名称】マイクロエレクトロニク構造および形成方法

(57)【要約】

【課題】HSQを集積回路構造内へ集積する改良された方法および、特に多層配線を必要とする、過程を提供する。

【解決手段】配線14が最初に基板10上にパターン化されエッティングされる。ヒドロジンシルセスキオキサン(HSQ)等の低k材料がウエーハ表面を横切してスピニコートされ配線間の領域を埋める。SiO<sub>2</sub>20等のキャッピング層が低k材料の頂部に形成される。次に、HSQが加熱硬化される。次に、薄いSiO<sub>2</sub>平坦化層22を形成して平坦化することができる。別の実施例では、HSQおよびSiO<sub>2</sub>プロセスステップを繰り返して多層HSQとすることができます。



## 【特許請求の範囲】

【請求項1】マイクロエレクトロニク構造の形成方法であって、該方法は、

- (イ) 半導体基板を設けるステップと、
- (ロ) 前記基板上にヒドロジンシルセスキオキサン層を形成するステップと、
- (ハ) 前記ヒドロジンシルセスキオキサン層にキャッピング層を形成するステップと、
- (ニ) ヒドロジンシルセスキオキサン層を炉で硬化するステップと、からなる方法。

【請求項2】マイクロエレクトロニク構造であって、

- (イ) 半導体基板と、
- (ロ) およそ4,000Åよりも大きい厚さを有する、前記基板上の実質的にクラックの無いヒドロジンシルセスキオキサン層と、からなる構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は一般的に集積回路の間隔の狭い配線間の容量やシリコントレンチ分離の容量を低減する方法および構造に関する。特に、本発明はヒドロジンシルセスキオキサン(HSQ)薄膜の硬化中のクラックを抑制して高温処理に対する抵抗力を得、HSQの多孔度を増して比誘電率を低減する方法に関連している。

## 【0002】

【従来の技術】集積回路は非常に間隔の狭い配線を次第に要求しており、デバイス上のさまざまな回路を配線するのに、7層もの、多層配線を必要とするものが多い。間隔が狭いと隣接配線間の容量が増加するため、デバイスのジオメトリが収縮して密度が増加すると隣接配線間の容量およびクロストークが一層問題となる。したがって、比誘電率の低い材料を使用してこの傾向を相殺し間隔の狭い配線間の容量を低くすることが次第に望ましくなっている。

【0003】配線容量は配線内に分散される量であるが、2つの要素、すなわち配線対基板、すなわち配線対グラント容量および配線間容量が支配的である。デザインルールが0.25ミクロン以上の超大規模集積の場合、性能は配線RC遅延により支配され、配線間容量は総容量に最も寄与する。例えば、幅/間隔が0.3ミクロン以下にスケールダウンされると、総容量がその90%以上を構成する配線間容量により決まっててしまうほど層間容量が低くなってしまうことが理論的なモデリングにより示されている。したがって、配線間容量を低減するだけで総容量は非常に効果的に低減される。

【0004】従来技術の金属間誘電体(IMD)は典型的にはおよそ4.0の比誘電率を有するSiO<sub>2</sub>である。この材料を比誘電率の低い材料と置換することが望ましい。ここで使用するように、低い比誘電率すなわち低kは比誘電率がおよそ3.5よりも低い、好ましくは

3よりも低い、さらに好ましくはおよそ2以下の材料を意味する。残念ながら、比誘電率の低い材料は既設の集積回路構造および過程へ集積化するのを困難にする性質を有している。ポリシルセスキオキサン、パリレン、ポリイミド、ベンゾシクロブタンおよびアモルファステフロン等の多くのポリマー材料が低い比誘電率を有している。他の好ましい材料は典型的にテトラエトキシシラン(TEOS)保存溶液から作られるエーロゲルやキセロゲルである。SiO<sub>2</sub>に較べて、これらの好ましい低k材料は典型的には機械的強度が低く、寸法安定度が悪く、温度安定度が悪く、吸湿度および浸透度が高く、接着性が悪く、熱膨張係数が大きく応力レベルが不安定である。これらの属性により、ポリマー他の比誘電率の低い材料をそれだけで集積回路過程や構造においてSiO<sub>2</sub>の替わりに使用することは問題である。

【0005】同一出願人による特許出願SN60/013,866(t i - 21880)には、HSQおよび他の比誘電率の低い材料を集積する方法および構造が開示されている。この出願には低k材料と従来の誘電体の交番する層からなる多層誘電体スタックを作り出すことが開示されている。低k膜の層間に挿入した安定化層によりより脆い低k材料が衝撃に耐えるようにされる。

【0006】同一出願人による別の出願SN60/(TI-19738)には、HSQをメサ分離構造として集積する方法および構造が開示されている。

## 【0007】

【発明が解決しようとする課題】本発明により、前記したような望ましくない性質を有する、比誘電率の低い材料を集積回路として集積する改良された方法および、特に多層配線を必要とする、過程が提供される。本発明は特にヒドロジンシロセスキオキサン(HSQ)等の低k膜の機械的強度およびクラック抵抗を改善することに関連している。

## 【0008】

【課題を解決するための手段】HSQのクラック形成は硬化温度、硬化環境、硬化時間、および膜厚等の要因に影響されることが観察されている。これらの条件を制御することによりクラック抑制はある程度成功している。ここに開示するのは、よりロバストな製作過程および実質的にクラックの無い厚いHSQ層を達成するために、従来技術の方法のプロセスステップを配列し直してHSQのクラックをさらに低減する方法である。一般的に、本発明の過程はHSQを硬化する前に浸透性の機械的に安定な薄膜で被覆することである。

【0009】実施例では、最初に配線がパターン化されてエッチングされる。ヒドロジンシロセスキオキサン(HSQ)等の低k材料がウエーハ表面を横切してスピノコーティングされ、配線間の領域を埋める。HSQは従来技術の構造で得られるものよりも厚くなるのが有利である。次に、SiO<sub>2</sub>等の誘電体安定化キャップ層が

H SQの頂部に形成される。次に、H SQをホットプレート上で加熱して硬化させる。次に、薄いSiO<sub>2</sub>平坦化層を形成して平坦化することができる。別の実施例では、H SQおよびSiO<sub>2</sub>プロセスステップを繰り返して多層H SQとすることができます。

【0010】本発明の利点は、既存のH SQ過程に較べてプロセスステップが付加されないことである。プロセスステップは本質的に逐次配列し直され、したがって新過程の利益を付加するのにコストは付加されない。

【0011】本発明の他の利点は、H SQの形成に統いて高温(>450°C)過程を使用できることである。例えば、酸化膜高濃度化およびリフロー等の、高温炉硬化が可能となり誘電体の無欠性が改善される。

【0012】もう1つの利点はO<sub>2</sub>およびH<sub>2</sub>O硬化を使用して後続する過程の前に酸化膜を“回復”できることである。

【0013】さらに、H SQはキャップ層によりプラズマから保護されるため、必要ならば、不純物により酸素プラズマアッキングを使用できることである。また、本発明は前記した参考出願の方法と組み合わせることができる。

#### 【0014】

【発明の実施の形態】図1を参照して、本発明の実施例を示し、H SQ18は半導体基板10上の配線14間に堆積されている。H SQはいくつかの周知の方法の1つ、および前記参考出願に記載された方法により形成することができる。薄い誘電体キャップ層すなわち安定化層20がH SQ層を被覆している。キャップ層に統いて付加低k材料層を形成することができる。次に、平坦化金属間誘電体層22により金属間領域を完成することができる。

【0015】図2a-図2bを参照して、図1の完成構造で表される本発明の実施例を形成する一連のステップを示す。図2aに誘電体層12で被覆された半導体基板10を示す。本発明の図示する実施例は集積回路上の配線間の容量を減らすことに向けられている。これらの配線は典型的にはシリコン結晶等の半導体材料のウエーハの表面上に作られるアクティブデバイスの頂面上に配置されるため、半導体基板10は通常半導体デバイスのアクティブコンポーネントを構成するさまざまな半導体材料のいくつかの層を含んでいる。簡単にするために、これらの層およびデバイスは図示しない。誘電体層12は半導体基板10として一まとめに示す下層のコンポーネントや他の材料から金属配線14を絶縁するのに適した任意の材料とすることができます。

【0016】好ましくは、配線はアルミニウム層を好ましくは平坦な誘電体層12上に堆積させて形成される。アルミニウムはレジストでマスクし、パターン化して周知のいくつかの方法の中の一方法によりエッチングすることができる。この手順により、図2aに示すような金

属配線14が得られる。本発明の方法はアスペクト比の高い金属を使用し、配線金属の厚さは幅よりも大きい。アスペクト比の高い配線は、高密度回路の狭い間隔を維持しながら配線抵抗を低減するのに有用である。配線と下層回路間の接続はビアおよびプラグ16により表される。ビアの数および位置は下層回路の設計によって決まる。

【0017】図2bにウエーハ表面上で配線14間に形成したH SQ18を示す。好ましくは、H SQ18は、図2bに示す、金属配線14間の重要な領域を埋めるのに十分な厚さでスピンドルプロセスにより形成される。好ましい材料はおよそ3よりも小さい比誘電率を有するボリヒドロジンシルセスキオキサン(H SQ)である。この材料はダウコーニング社で製造され、FOXのトレードマークで販売され、またアライドシグナル社からもHSSOのトレードマークで販売されている。次に、H SQは好ましくはスピンドル上のホットプレートベークによりおよそ300°Cで部分硬化される。

【0018】統いてH SQ18には、図2bに示すような安定化キャップ層20が形成される。キャップ層はマイクロクラックの核形成および伝搬を防止し、O<sub>2</sub>およびH<sub>2</sub>O炉硬化を可能とし、クラックを生じることなくより厚いH SQ層を可能とし、平坦化を改善する。キャップ層の厚さはH SQの強度および厚さに従って最適化することができる。キャップ層は濃密なプラズマSiO<sub>2</sub>、プラズマSi<sub>3</sub>N<sub>4</sub>、フッ化SiO<sub>2</sub>もしくは他の適切な誘電体とすることができる。ビアエッチに使用するのと同じCFに基づく化学作用をエッティングに使用するため、プラズマCVD SiO<sub>2</sub>キャップ層が好ましい。キャップ層の厚さは好ましくは1,000-3,000Å、最も好ましくはおよそ2,000Åである。

【0019】キャップ層20の形成後、H SQを硬化することができる。キャップ層はマイクロクラックの核形成および伝搬の防止を助け、O<sub>2</sub>およびH<sub>2</sub>O炉硬化を可能とし、クラックを生じることなくより厚いH SQ層を可能とし、平坦化を改善する。

【0020】統いて、キャップ層20におよそ16,000Åの薄いSiO<sub>2</sub>層間誘電体22を形成して平坦化することができる。層間誘電体を平坦化した後で、図1に示すような構造となる。好ましい実施例では、層間誘電体はプラズマCVD(PECVD)により堆積され化学機械研磨(CMP)により平坦化されるSiO<sub>2</sub>である。後に詳述するように、本発明は従来の誘電体材料間に低誘電体材料を配置することにより、SiO<sub>2</sub>と比誘電率の低い材料の利点を組み合わせるものである。構造的安定性、粘着性、熱伝導率等がSiO<sub>2</sub>その他の適切な誘電体により改善される。

【0021】本発明の方法を繰り返して、互いに積み重ねられた多層配線を形成することができる。多層の例を図3に示す。典型的な多層配線は層間のビアおよびコン

タクト16が必要である。これらのビアは通常、周知の方法で層間誘電体が形成され平坦化された後で作られる。

【0022】図3にはライナー層24も示されている。ライナー層24はHSQが配線14と接触しないようにするために使用することができる。ライナー層はCVDシリコン酸化膜等のエッチングストッピングすなわち保護オーバコート層とすることができる。次に、HSQ材料ライナー層の上のウエーハ表面上でスピンドルコートされる。

【0023】図1に示す構造は従来技術の構造に類似しているが、重要な特徴に注目願いたい。本発明の方法により、HSQは従来よりも厚く形成することができる。厚さが増すために、金属配線層間に比誘電率のより低い材料を有することにより配線容量を低減することができ、同じ金属層上の配線間のフリンジング容量も低減することができる。従来技術の方法を使用する従来技術の構造では、最大平面フィールド厚26はおよそ4,000Åであり、配線28上の最大HSQはおよそ1,000Åであった。従来技術の方法を使用すれば、これらの最大値の上に形成されるHSQには著しいクラック問題が生じた。本発明の実施例は4,000Åよりも大きいフィールド厚26および1,000Åよりも大きい配線28上のHSQを含んでいる。

【0024】本発明の別の実施例を図4に示す。この実施例は本発明の方法をS/N60(TI-19738)の構造に応用している。この応用はHSQが分離溝内に配置されて耐高温トレチ埋込みを行うことを示している。この構造では、炉硬化の前にHSQへキャップ層を施すと有利であることも判った。特に、キャップ層により有害な影響を及ぼすことなくHSQ層を厚くすることができ、層厚は1μmよりも厚くすることができる。また、キャップ層によりHSQのO<sub>2</sub>及びH<sub>2</sub>O炉硬化を行うことができHSQ層の収縮が低減される。

【0025】図4に示すように、シリコン基板10はトランジスタ32等の隣接アクティブデバイスを分離する分離溝30を有している。塗装膜キャップ22は溝形成エッチングのハードマスクであると共に酸化膜平坦化のCMPストップである。好ましくは、次に基板はHSQ18によりスピンドルコートされる。好ましくは、次にHSQ18はスピンドルコート上でホットプレートベークにより部分硬化される。好ましくはPETEOSであるキャッピング層20が前記したように形成される。キャッピング層を形成した後で、HSQは150°CのN<sub>2</sub>、O<sub>2</sub>もしくは850°CのH<sub>2</sub>O内で安全に炉硬化される。炉硬化は好ましくは15-100分、最も好ましくはおよそ30分行われる。

【0026】本発明のもう1つの実施例を図5に示す。この実施例ではポリメタル誘電体層としてHSQ層が使用されている。図5からお判りのように、シリコン基板10は1つ以上のゲート34を有している。ゲートは隣接アクティブデバイスを分離する分離溝30を含んでいる。好ましくは、基板表面にはHSQ18がスピンドルコートされる。好ましくは、次にHSQ18はスピンドルコート上でホットプレートベークにより部分硬化される。好ましくはPETEOSであるキャッピング層20が前記したように形成される。キャッピング層の形成後、HSQは1050°CのN<sub>2</sub>、O<sub>2</sub>もしくは850°CのH<sub>2</sub>O内で安全に炉硬化される。好ましくは、炉硬化は15-100分、最も好ましくはおよそ30分である。この実施例は前記した他方の実施例と組み合わせて使用することができる。

【0027】本発明は、また、安定化層を前記した同一出願人による出願に開示された構造および技術と組み合わせて使用とするものである。

【0028】

【表1】実施例および図面の大要を表に示す。

図面要素	好ましいまたは特定例	一般的用語	代替例
10	シリコン基板	基板またはウエーハ	GaAs
12	シリコン酸化膜	バッファ層	
14	アルミニウム	配線	TiN/Al/TiN, Cu, W
16	タンゲステン	ピア	アルミニウム
18	HSQ	低比誘電率材料	キセロゲル, 有機SOG, 低比誘電率ポリマー
20	TEOS	キャッピング層	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイアモンド, 機械的強度の良い他の誘電体
22	SiO <sub>2</sub>	金属間誘電体	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイアモンド, 機械的強度の良い他の誘電体
24	シリコン酸化膜	ライナー	フッ化SiO <sub>2</sub>
30	トレンチ		
32	窒化膜	研磨ストップ	
34	シリコン酸化膜	パッド酸化膜	

【0029】実施例を参照して本発明を説明してきたが、この説明は制約的意味合いを有するものではない。当業者ならば、説明を読めば、他の実施例だけでなく例示した実施例のさまざまな修正および組合せが自明であろう。このような修正や実施例は全て特許請求の範囲に

出願	TIケース	出願日	
S/N08/137,658	TI-18509	10/15/93	配線間容量を低減する平坦化構造
S/N08/298,807	TI-19532	08/03/94	メタルリード間の配線容量改善
S/N08/455,765	TI-18929AA	05/31/95	比誘電率の低い絶縁体を埋込んだ平坦化多層配線方式
S/N60/005132	TI-20784	10/12/95	集積回路用低容量配線構造
S/N60/	TI-21907	10/25/95	高熱伝導配線構造
S/N60/	TI-21909	12/04/95	分解ポリマーを使用した集積回路用低容量配線構造
S/N60/013,866	TI-21880	03/22/96	比誘電率の低い材料を使用した集積回路用低容量配線構造
S/N60/	TI-19738	07/30/96	流動性酸化膜を埋込材料として使用したシリコンオンインスレータ技術用メサ分離埋込過程

【0031】以上の説明に関して更に以下の項を開示する。

(1) マイクロエレクトロニク構造の形成方法であって、該方法は、(イ)半導体基板を設けるステップと、(ロ)前記基板上にヒドロジンシルセスキオキサン層を形成するステップと、(ハ)前記ヒドロジンシルセスキオキサン層にキャッピング層を形成するステップと、

入るものとする。

#### 【0030】関連出願の相互参照

同一出願人により出願されている下記の出願は本出願に関連しており、本開示の一部としてここに組み入れられている。

#### 表題

配線間容量を低減する平坦化構造  
メタルリード間の配線容量改善  
比誘電率の低い絶縁体を埋込んだ平坦化多層配線方式

集積回路用低容量配線構造  
高熱伝導配線構造  
分解ポリマーを使用した集積回路用低容量配線構造

比誘電率の低い材料を使用した集積回路用低容量配線構造  
流動性酸化膜を埋込材料として使用したシリコンオンインスレータ技術用メサ分離埋込過程

(二) ヒドロジンシルセスキオキサン層を炉で硬化するステップと、からなる方法。

【0032】(2) マイクロエレクトロニク構造の形成方法であって、該方法は、(イ)金属配線を有する半導体基板を設けるステップと、(ロ)前記基板の前記配線上にヒドロジンシルセスキオキサン層を形成するステップと、(ハ)前記ヒドロジンシルセスキオキサン層に

キャッピング層を形成するステップと、(二)ヒドロジンシルセスキオキサン層を炉で硬化するステップと、からなる方法。

【0033】(3) 第1項もしくは第2項記載の方法であって、前記ヒドロジンシルセスキオキサンは前記基板上の配線間に形成される方法。

【0034】(4) 第1項記載の方法であって、さらに、前記ヒドロジンシルセスキオキサンを形成する前に前記導電性配線上にライナー層を設ける付加ステップを含む方法。

【0035】(5) 第1項もしくは第2項記載の方法であって、前記ヒドロジンシルセスキオキサンは前記基板上の分離溝内に形成される方法。

【0036】(6) 第1項もしくは第2項記載の方法であって、前記キャッピング層はSiO<sub>2</sub>およびS<sub>3</sub>N<sub>4</sub>、およびフッ化SiO<sub>2</sub>の群から選択される方法。

【0037】(7) 第1項もしくは第2項記載の方法であって、前記炉硬化はC<sub>x</sub>H<sub>y</sub>、C<sub>x</sub>F<sub>y</sub>、N<sub>2</sub>、O<sub>2</sub>、H<sub>2</sub>Oおよびフォーミングガス(H<sub>2</sub>とN<sub>2</sub>の混合)からの環境を有する方法。

【0038】(8) 第7項記載の方法であって、前記炉硬化は400°Cよりも高い温度を有する方法。

【0039】(9) 第7項記載の方法であって、前記炉硬化は800°Cよりも高い温度を有する方法。

【0040】(10) 第1項もしくは第2項記載の方法であって、堆積に統いて前記誘電体を平坦化する付加ステップを含み、次にステップ(イ)から(ニ)を繰り返して多層配線構造を作り出す方法。

【0041】(11) マイクロエレクトロニク構造であって、(イ)半導体基板と、(ロ)およそ4,000Åよりも大きい厚さを有する、前記基板上の実質的にクラックの無いヒドロジンシルセスキオキサン層と、からなる構造。

【0042】(12) 第11項記載の構造であって、前記ヒドロジンシルセスキオキサンは前記基板上の配線間に形成される構造。

【0043】(13) 第11項記載の構造であって、前記ヒドロジンシルセスキオキサンは前記基板上の分離溝内に形成される構造。

【0044】(14) 第11項記載の構造であって、前記キャッピング層はSiO<sub>2</sub>およびS<sub>3</sub>N<sub>4</sub>、およびフッ化SiO<sub>2</sub>の群から選択される構造。

【0045】(15) 第11項記載の構造であって、前記ヒドロジンシルセスキオキサンは前記基板上のデバイスゲート上にポリメタル誘電体として形成される構造。

【0046】(16) HSQを集積回路構造内へ集積する改良された方法および、特に多層配線を必要とする、過程が提供される。実施例では、配線14が最初に基板10上にパターン化されエッチングされる。ヒドロジンシルセスキオキサン(HSQ)等の低k材料がウエーハ表面を横切してスピンドルコートされ配線間の領域を埋める。SiO<sub>2</sub>20等のキャッピング層が低k材料の頂部に形成される。次に、HSQが加熱硬化される。次に、薄いSiO<sub>2</sub>平坦化層22を形成して平坦化することができます。別の実施例では、HSQおよびSiO<sub>2</sub>プロセスステップを繰り返して多層HSQとすることができます。

#### 【図面の簡単な説明】

【図1】本発明の好ましい実施例の断面図。

【図2】図1の好ましい実施例の製作ステップ。

【図3】多層配線を有する本発明の好ましい実施例の断面図。

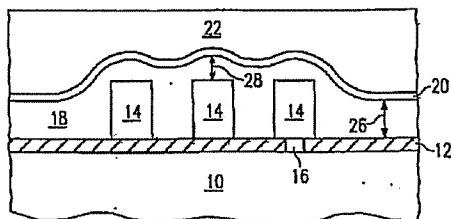
【図4】トレンチ分離にキャップ付きHSQ層を使用した本発明のもう1つの好ましい実施例の断面図。

【図5】追加の実施例を示す。

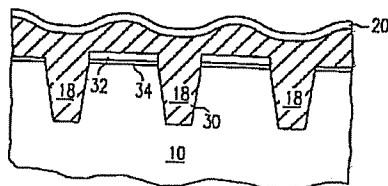
#### 【符号の説明】

- 10 半導体基板
- 12 誘電体層
- 14, 28 配線
- 16 ビアおよびプラグ
- 18 HSQ
- 20 安定化層
- 22 金属間誘電体層
- 24 配線層
- 30 分離溝
- 32 トランジスタ
- 34 ゲート

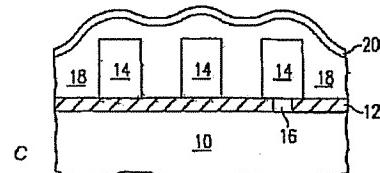
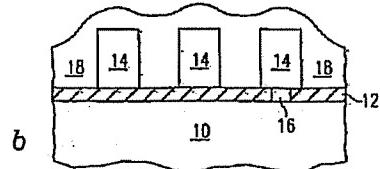
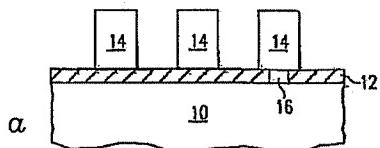
【図1】



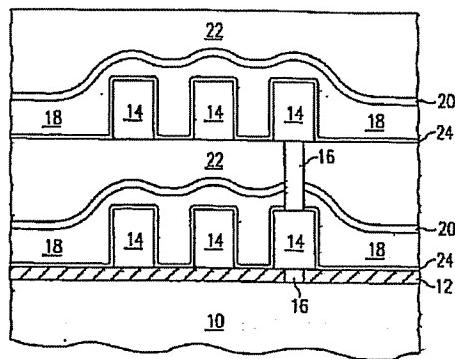
【図4】



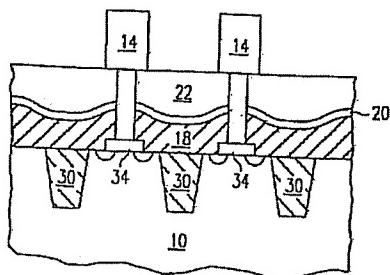
【図2】



【図3】



【図5】




---

フロントページの続き

(72)発明者 アミタバ チャッタージー  
アメリカ合衆国テキサス州プラノ, サンタ  
ナ レーン 3545